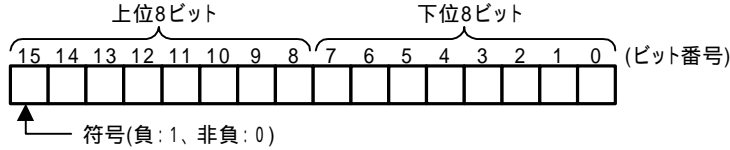


COMET II 仕様のまとめ

1. システムCOMET II の仕様

1.1 ハードウェアの仕様

(1) 1語は16ビットで、そのビット構成は、次のとおりである。



- (2) 主記憶の容量は65536語で、そのアドレスは0～65535番地である。
- (3) 数値は、16ビットの2進数で表現する。負数は、2の補数で表現する。
- (4) 制御方式は逐次制御で、命令語は1語長又は2語長である。
- (5) レジスタとして、GR(16ビット)、SP(16ビット)、PR(16ビット)、FR(3ビット)の4種類がある。
 GR(汎用レジスタ, General Register)は、GR0～GR7の8個があり、算術、論理、比較、シフトなどの演算に用いる。
 このうち、GR1～GR7のレジスタは、指標レジスタ(index register)としてアドレスの修飾にも用いる。
 SP(スタックポインタ, Stack Pointer)は、スタックの最上段のアドレスを保持している。
 PR(プログラムレジスタ, Program Register)は、次に実行すべき命令語の先頭アドレスを保持している。
 FR(フラグレジスタ, Flag Register)は、OF(Overflow Flag)、SF(Sign Flag)、ZF(Zero Flag)と呼ぶ3個のビットからなり、演算命令などの実行によって次の値が設定される。これらの値は、条件付き分岐命令で参照される。
- (6) 論理加算又は論理減算は、被演算データを符号のない数値とみなして、加算又は減算する。



1.2 命令

命令の形式及びその機能をまとめたものを「CASL II 命令一覧表(まとめ)」に示す。

1.3 文字の符号表

- (1) JIS X 0201 ラテン文字・片仮名用8ビット符号で規定する文字の符号表を使用する。
- (2) 次に符号表の一部を示す。1文字は8ビットからなり、上位4ビットを列で、下位4ビットを行で示す。
 例えば、間隔、4、H、¥のビット構成は、16進表示で、それぞれ20、34、48、5Cである。
 16進表示で、ビット構成が21～7E(及び表では省略しているA1～DF)に対応する文字を図形文字という。
 図形文字は、表示(印刷)装置で、文字として表示(印字)できる。

行列	02	03	04	05	06	07
0	間隔	0	@	P	ˆ	p
1	!	1	A	Q	a	q
2	”	2	B	R	b	r
3	#	3	C	S	c	s
4	\$	4	D	T	d	t
5	%	5	E	U	e	u
6	&	6	F	V	f	v
7	'	7	G	W	g	w
8	(8	H	X	h	x
9)	9	I	Y	i	y
10	*	:	J	Z	j	z
11	+	;	K	[k	{
12	,	<	L	¥	l	
13	-	=	M]	m	}
14	.	>	N	ˆ	n	˜
15	/	?	O	_	o	

CASL 命令一覧表(まとめ)

番号	アッセンブル命令	機械語命令(ビット番号)						フラグ			命令の説明	
		15	12	11	8	7	4	3	0	OF		SF
1	NOP	0	0	--	--	--	--	--	--	--	--	何もしない。
2	LD r,adr,x	1	0	r	x							ロード:r (実効アドレス)
3	ST r,adr,x	1	1	r	x							ストア:実効アドレス (r)
4	LAD r,adr,x	1	2	r	x							ロードアドレス:r 実効アドレス
5	LD r1,r2	1	4	r1	r2							ロード:r1 (r2)
6	ADDA r,adr,x	2	0	r	x							算術加算:r (r) + (実効アドレス)
7	SUBA r,adr,x	2	1	r	x							算術減算:r (r) - (実効アドレス)
8	ADDL r,adr,x	2	2	r	x							論理加算:r (r) +L(実効アドレス)
9	SUBL r,adr,x	2	3	r	x							論理減算:r (r) -L(実効アドレス)
10	ADDA r1,r2	2	4	r1	r2							算術加算:r1 (r1) + (r2)
11	SUBA r1,r2	2	5	r1	r2							算術減算:r1 (r1) - (r2)
12	ADDL r1,r2	2	6	r1	r2							論理加算:r1 (r1) +L(r2)
13	SUBL r1,r2	2	7	r1	r2							論理減算:r1 (r1) -L(r2)
14	AND r,adr,x	3	0	r	x							論理積:r (r) AND(実効アドレス)
15	OR r,adr,x	3	1	r	x							論理和:r (r) OR(実効アドレス)
16	XOR r,adr,x	3	2	r	x							排他的論理和:r (r) XOR(実効アドレス)
17	AND r1,r2	3	4	r1	r2							論理積:r1 (r1) AND(r2)
18	OR r1,r2	3	5	r1	r2							論理和:r1 (r1) OR(r2)
19	XOR r1,r2	3	6	r1	r2							排他的論理和:r1 (r1) XOR(r2)
20	CPA r,adr,x	4	0	r	x							算術比較:
21	CPL r,adr,x	4	1	r	x							論理比較: (r1) > (r2) 又は (r) > (実効アドレス) なら SF=0, ZF=0 (r1) = (r2) 又は (r) = (実効アドレス) なら SF=0, ZF=1 (r1) < (r2) 又は (r) < (実効アドレス) なら SF=1, ZF=0
22	CPA r1,r2	4	4	r1	r2							算術比較:
23	CPL r1,r2	4	5	r1	r2							論理比較:
24	SLA r,adr,x	5	0	r	x							算術左シフト:
25	SRA r,adr,x	5	1	r	x							符号を除き(r)を実効アドレスで指定したビット数だけ左又は右にシフトする。シフトの結果,空いたビット位置には,左シフトのときは0,右シフトのときは
26	SLL r,adr,x	5	2	r	x							算術右シフト: 符号と同じものが入る。
27	SRL r,adr,x	5	3	r	x							論理左シフト: 符号を含み(r)を実効アドレスで指定したビット数だけ左又は右にシフトする。シフトの結果,空いたビット位置には0が入る。
28	JMI adr,x	6	1	--	x							論理右シフト:
29	JNZ adr,x	6	2	--	x							SF=1 の場合実効アドレスに分岐する。それ以外は,次の命令に進む。
30	JZE adr,x	6	3	--	x							ZF=0 の場合実効アドレスに分岐する。それ以外は,次の命令に進む。
31	JUMP adr,x	6	4	--	x							ZF=1 の場合実効アドレスに分岐する。それ以外は,次の命令に進む。
32	JPL adr,x	6	5	--	x							無条件に実効アドレスに分岐する。
33	JOV adr,x	6	6	--	x							SF=0 で ZF=0 の場合実効アドレスに分岐する。それ以外は,次の命令に進む。
34	PUSH adr,x	7	0	--	x							OF=1 の場合実効アドレスに分岐する。それ以外は,次の命令に進む。
35	POP r	7	1	r	--							プッシュ:SP (SP) -L 1, (SP) 実効アドレス
36	CALL adr,x	8	0		x							ポップ:r ((SP)), SP (SP) +L 1
37	RET	8	1	--	--							コール:SP (SP) -L 1, (SP) (PR), PR 実効アドレス
38	SVC adr,x	F	0	--	x							リターン:PR ((SP)), SP (SP) +L 1

注: 機械語命令は、16進表示。
r, r1, r2 GRO ~ GR7 を指定する。
x 指標レジスタ (GR1 ~ GR7) を指定する。